

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09283792 A**

(43) Date of publication of application: **31 . 10 . 97**

(51) Int. Cl

**H01L 33/00**

(21) Application number: **08089836**

(22) Date of filing: **12 . 04 . 96**

(71) Applicant: **NIPPON SHEET GLASS CO LTD**

(72) Inventor:  
**KUSUDA YUKIHISA**  
**ONO SEIJI**  
**OTSUKA SHUNSUKE**

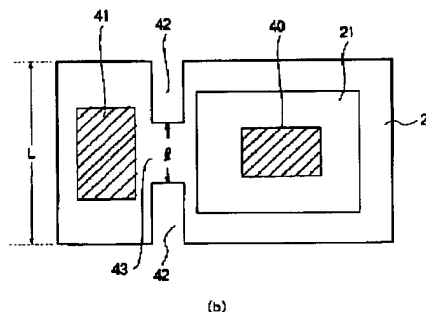
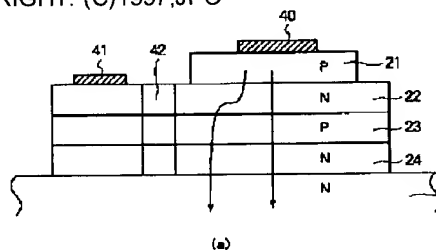
(54) **SURFACE LIGHT EMITTING THYRISTOR AND SELF-SCANNING TYPE LIGHT EMITTING DEVICE**

COPYRIGHT: (C)1997,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To obtain a surface light emitting thyristor with a light emitting quantity, that it with good external light emitting efficiency by forming neck parts between a first electrode region and a second electrode region of the first, second and third semiconductor layers.

**SOLUTION:** Undercuts 42 are provided on both sides of the semiconductor layers 22, 23, 24 between an anode electrode region 40 and a gate electrode region 41 and neck parts are formed on the semiconductor layers 22, 23, 24. Formation of the undercuts 42 are easily performed by etching. A width 1 of such neck parts 43 is small as compared with a width L of the semiconductor layers 22, 23, 24 so as to enlarge a resistance value of the neck parts 43. As a result, an injection current from an anode electrode 40 does not flow to the side of a gate electrode 41 and an influent current contributes to light emitting on the lower part of the anode electrode 40. Accordingly, as compared to a conventional structure, a light emitting amount increases.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-283792

(43) 公開日 平成9年(1997)10月31日

(51) Int.Cl.<sup>8</sup>  
H 0 1 L 33/00

識別記号

庁内整理番号

F I  
H 0 1 L 33/00

技術表示箇所

A

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願平8-89836

(22) 出願日 平成8年(1996)4月12日

(71) 出願人 000004008

日本板硝子株式会社

大阪府大阪市中央区道修町3丁目5番11号

(72) 発明者 楠田 幸久

大阪府大阪市中央区道修町3丁目5番11号

日本板硝子株式会社内

(72) 発明者 大野 誠治

大阪府大阪市中央区道修町3丁目5番11号

日本板硝子株式会社内

(72) 発明者 大塚 俊介

大阪府大阪市中央区道修町3丁目5番11号

日本板硝子株式会社内

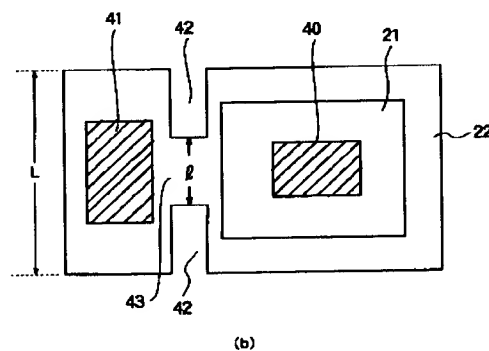
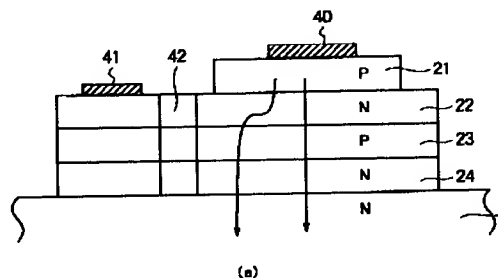
(74) 代理人 弁理士 岩佐 義幸

(54) 【発明の名称】 面発光サイリスタおよび自己走査型発光装置

(57) 【要約】

【課題】 外部発光効率の良い面発光サイリスタを提供する。

【解決手段】 面発光サイリスタは、N形の半導体基板1上に、N形の半導体層24と、P形の半導体層23と、N形の半導体層22と、P形の半導体層21とがこの順に積層され、半導体層21上に設けられたアノード電極25と、半導体層22上に設けられたゲート電極とを備えている。半導体層24、23、22は、アノード電極の領域とゲート領域との間に、くびれ部42を有している。



## 【特許請求の範囲】

【請求項1】第1導電形の基板上に、第1導電形の第1の半導体層と、第2導電形の第2の半導体層と、第1導電形の第3の半導体層と、第2導電形の第4の半導体層とがこの順に積層され、第4の半導体層上に設けられた第1の電極と、第3の半導体層上に設けられた第2の電極とを備える面発光サイリスタにおいて、

前記第1、第2、第3の半導体層は、前記第1の電極の領域と前記第2の電極の領域との間に、くびれ部を有することを特徴とする面発光サイリスタ。

【請求項2】第1導電形の基板上に、第1導電形の第1の半導体層と、第2導電形の第2の半導体層と、第1導電形の第3の半導体層と、第2導電形の第4の半導体層とがこの順に積層され、第4の半導体層上に設けられた第1の電極と、第3の半導体層上に設けられた第2の電極とを備える面発光サイリスタにおいて、

前記第3の半導体層は、前記第1の電極の領域と前記第2の電極の領域との間に、掘込み部を有することを特徴とする面発光サイリスタ。

【請求項3】第1導電形の基板上に、第2導電形の第2の半導体層と、第1導電形の第3の半導体層と、第2導電形の第4の半導体層とがこの順に積層され、第4の半導体層上に設けられた第1の電極と、第3の半導体層上に設けられた第2の電極とを備える面発光サイリスタにおいて、

前記第2、第3の半導体層は、前記第1の電極の領域と前記第2の電極の領域との間に、くびれ部を有することを特徴とする面発光サイリスタ。

【請求項4】第1導電形の基板上に、第2導電形の第2の半導体層と、第1導電形の第3の半導体層と、第2導電形の第4の半導体層とがこの順に積層され、第4の半導体層上に設けられた第1の電極と、第3の半導体層上に設けられた第2の電極とを備える面発光サイリスタにおいて、

前記第3の半導体層は、前記第1の電極の領域と前記第2の電極の領域との間に、掘込み部を有することを特徴とする面発光サイリスタ。

【請求項5】発光動作のためのしきい電圧またはしきい電流の制御電極を有する発光素子を複数個配列し、各発光素子の前記制御電極をその近傍に位置する少なくとも1つの発光素子の制御電極に、接続用抵抗または電気的に一方向性を有する電気素子を介して接続するとともに、各発光素子に電源ラインを負荷抵抗を介して前記制御電極に接続し、かつ各発光素子にクロックラインを接続して形成した自己走査型発光装置において、

前記発光素子を、請求項1～4のいずれかに記載の面発光サイリスタとし、この面発光サイリスタの第1の電極は、前記クロックラインに接続され、前記面発光サイリスタの第2の電極は、前記制御電極であることを特徴とする自己走査型発光装置。

【請求項6】スイッチング動作のためのしきい電圧またはしきい電流の第1の制御電極を有するスイッチ素子を複数個配列し、各スイッチ素子の第1の制御電極をその近傍に位置する少なくとも1つのスイッチ素子の第1の制御電極に、接続用抵抗または電気的に一方向性を有する電気素子を介して接続するとともに、各スイッチ素子に電源ラインを負荷抵抗を介して第1の制御電極に接続し、かつ各スイッチ素子にクロックラインを接続して形成した自己走査スイッチ素子アレイと、

10 発光動作のためのしきい電圧またはしきい電流の第2の制御電極を有する発光素子を複数個配列した発光素子アレイとからなり、

前記発光素子アレイの第2の制御電極を対応する前記スイッチ素子の第1の制御電極と電気的手段にて接続し、各発光素子に発光のための電流を印加するラインを設けた自己走査型発光装置において、

前記発光素子を、請求項1～4のいずれかに記載の面発光サイリスタとし、この面発光サイリスタの第1の電極は、前記電流印加ラインに接続され、前記面発光サイリスタの第2の電極は、第2の制御電極であることを特徴とする自己走査型発光装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、面発光サイリスタのような面発光素子の外部発光効率を高めるための構造、およびこのような面発光素子を用いた自己走査型発光装置に関するものである。

## 【0002】

【従来の技術】従来、面発光素子の代表的なものとして発光ダイオードおよびレーザダイオードが知られている。発光ダイオードは化合物半導体（GaAs, GaP, AlGaAs等）のPN接合またはPIN接合を形成し、これに順方向電圧を加えることにより接合内部にキャリアを注入し、その再結合の過程で生じる発光現象を利用するものである。

【0003】またレーザダイオードはこの発光ダイオードの内部に導波路を設けた構造となっている。あるしきい電流以上の電流を流すと注入される電子-正孔対が増加し反転分布状態となり、誘導放射による光子の増倍（利得）が発生し、へき開面などを利用した平行な反射鏡により発生した光が再び活性層に帰還されてレーザ発振が起こる。そして導波路の端面からレーザ光が出射されていくものである。

【0004】これら発光ダイオード、レーザダイオードと同じ発光メカニズムを有する発光素子として、発光機能を有する負性抵抗素子（発光サイリスタ、レーザサイリスタ等）も知られている。発光サイリスタは先に述べたような化合物半導体でPNPN構造を作るものであり、シリコンではサイリスタとして実用化されている。これらについては、例えば青木昌治編著「発光ダイオー

ド」工業調査会、167～169頁に記載されている。この発光機能を有する負性抵抗素子（ここでは発光サイリスタと呼ぶ）の基本構造は、N形GaAs基板上にPNPN構造を形成したもので、サイリスタと全く同じ構造である。電流－電圧特性もサイリスタと全く同じS字形負性抵抗の特性を示す。

【0005】また本出願人は、面発光サイリスタを用いた自己走査型発光装置について、既に多くの出願において開示している。例えば、特開平2-263668号公報「発光装置」、特開平2-212170号公報「発光素子アレイおよびその駆動方法」、特開平3-55885号公報「発光・受光モジュール」、特開平3-200364号公報「光信号の読み取り方法及びこれに使用するスイッチ素子アレイ」、特開平4-23367号公報「発光装置」、特開平4-296579号公報「発光素子アレイの駆動方法」である。多数個の発光素子を同一基板上に集積した発光素子アレイはその駆動用ICと組み合わせて光プリンタ等の書き込み用光源として利用されている。本発明者らは発光素子アレイの構成要素としてPNPN構造を持つ面発光サイリスタに注目し、発光点の自己走査が実現できることを既に上記のように特許出願し、光プリンタ用光源として実装上簡便となること、発光素子ピッチを細かくできること、コンパクトな自己走査型発光装置を作製できること等を示した。

#### 【0006】

【発明が解決しようとする課題】図1(a), (b)は、メサ型のPNPN構造の従来の面発光サイリスタの断面図および平面図を示す。この面発光サイリスタはN形半導体基板1上に形成されたN形半導体層24, P形半導体層23, N形半導体層22, P形半導体層21と、P形半導体層21にオーミック接触するように形成されたアノード電極40と、N形半導体層22上にオーミック接触するように形成されたゲート電極41とを備えている。図1(a)の構造上には、図示しないが全体に絶縁被膜（光を透過する絶縁材料よりなる）が設けられ、その上にA1配線140が設けられている。絶縁被膜には、アノード電極40とA1配線140とを電気的に接続するためのコンタクトホールCが開けられている。また、N形半導体基板1の裏面には、カソード電極（図示せず）が設けられている。なお、ゲート電極41上の絶縁被膜にもコンタクトホールが設けられ、配線に接続されるが、図示を省略してある。

【0007】このようなPNPN構造の面発光サイリスタにおいては、アノード電極40からの注入電流は、図1(a)に矢印で示すように、電極40の真下に向かって主に流れるが（ $I_1$ で示す）、一部はゲート電極41の方へ回り込んで流れる（ $I_2$ で示す）。注入電流 $I_1$ および $I_2$ ともに発光に寄与するが、電流 $I_2$ による発光は、ゲート電極41側に片寄るため、利用できない。したがって、結果としてアノード電極周辺部から取り出

せる発光光量が低下するという問題がある。

【0008】この発明の目的は、上述のような問題を解決し、発光光量を増大させた、すなわち外部発光効率の良い面発光サイリスタを提供することにある。

【0009】この発明の他の目的は、発光光量を増大させた面発光サイリスタを用いた自己走査型発光装置を提供することにある。

#### 【0010】

【課題を解決するための手段】本発明は、第1導電形の基板上に、必要ならば第1導電形の第1の半導体層と、第2導電形の第2の半導体層と、第1導電形の第3の半導体層と、第2導電形の第4の半導体層とがこの順に積層され、第4の半導体層上に設けられた第1の電極と、第3の半導体層上に設けられた第2の電極とを備える面発光サイリスタにおいて、前記第1, 第2, 第3の半導体層は、前記第1の電極の領域と前記第2の電極の領域との間に、くびれ部を有することを特徴とする面発光サイリスタ。

【0011】また本発明は、第1導電形の基板上に、必要ならば第1導電形の第1の半導体層と、第2導電形の第2の半導体層と、第1導電形の第3の半導体層と、第2導電形の第4の半導体層とがこの順に積層され、第4の半導体層上に設けられた第1の電極と、第3の半導体層上に設けられた第2の電極とを備える面発光サイリスタにおいて、前記第3の半導体層は、前記第1の電極の領域と前記第2の電極の領域との間に、掘込み部を有することを特徴とする。

【0012】さらに本発明は、発光動作のためのしきい電圧またはしきい電流の制御電極を有する発光素子を複数個配列し、各発光素子の前記制御電極をその近傍に位置する少なくとも1つの発光素子の制御電極に、接続用抵抗または電気的に一方向性を有する電気素子を介して接続するとともに、各発光素子に電源ラインを負荷抵抗を介して前記制御電極に接続し、かつ各発光素子にクロックラインを接続して形成した自己走査型発光装置において、前記発光素子を、上記の面発光サイリスタとし、この面発光サイリスタの第1の電極は、前記クロックラインに接続され、前記面発光サイリスタの第2の電極は、前記制御電極であることを特徴とする。

【0013】また本発明は、スイッチング動作のためのしきい電圧またはしきい電流の第1の制御電極を有するスイッチ素子を複数個配列し、各スイッチ素子の第1の制御電極をその近傍に位置する少なくとも1つのスイッチ素子の第1の制御電極に、接続用抵抗または電気的に一方向性を有する電気素子を介して接続するとともに、各スイッチ素子に電源ラインを負荷抵抗を介して第1の制御電極に接続し、かつ各スイッチ素子にクロックラインを接続して形成した自己走査スイッチ素子アレイと、発光動作のためのしきい電圧またはしきい電流の第2の制御電極を有する発光素子を複数個配列した発光素子ア

レイとからなり、前記発光素子アレイの第2の制御電極を対応する前記スイッチ素子の第1の制御電極と電気的手段にて接続し、各発光素子に発光のための電流を印加するラインを設けた自己走査型発光装置において、前記発光素子を、上記の面発光サイリスタとし、この面発光サイリスタの第1の電極は、前記電流印加ラインに接続され、前記面発光サイリスタの第2の電極は、第2の制御電極であることを特徴とする。

#### 【0014】

#### 【発明の実施の形態】

#### 【0015】

【実施例1】図2(a)、(b)は、本発明の一実施例である面発光サイリスタの側面図および平面図である。この面発光サイリスタは、GaAsよりなるN形半導体基板1上にGaAsよりなるN形半導体層24、P形半導体層23、N形半導体層22、P形半導体層21が順に積層されている。P形半導体層21上にAuZnよりなるアノード電極40、N形半導体層22上にAuGeNiよりなるゲート電極41、N形基板1の裏面にカソード電極(図示せず)が設けられている。

【0016】本実施例の面発光サイリスタによれば、アノード電極領域とゲート電極領域との間で、半導体層22、23、24の両サイドに切込み42を設け、半導体層22、23、24にくびれ部43が形成されている。切込み42の形成はエッチングによって容易に行うことができる。

【0017】このようなくびれ部43の幅 $l$ は、半導体層22、23、24の幅 $L$ に比べて小さいので、くびれ部43の抵抗値が大きくなる。その結果、アノード電極40からの注入電流は、図2(a)に矢印で示すように、ゲート電極側には流れず、流入電流はアノード電極下部での発光に寄与する。したがって、従来の構造に比べて、発光光量が増大する。

【0018】 $L=26\mu\text{m}$ 、 $l=10\mu\text{m}$ とした場合は、発光光量は約10%増大した。

#### 【0019】

【実施例2】図3(a)、(b)は、本発明の一実施例である面発光サイリスタの側面図および平面図である。この面発光サイリスタは、GaAsよりなるN形半導体基板1上にGaAsよりなるN形半導体層24、P形半導体層23、N形半導体層22、P形半導体層21が順に積層されている。P形半導体層21上にAuZnよりなるアノード電極40、N形半導体層22上にAuGeNiよりなるゲート電極41、N形基板1の裏面にカソード電極(図示せず)が設けられている。

【0020】本実施例の面発光サイリスタによれば、アノード電極領域とゲート電極領域との間で、半導体層22に掘込み部44を設ける。この掘込み部の深さは、掘込み部が、N形半導体層22とP形半導体層23との間に形成される空乏層に達することなく、空乏層との間に

或る距離を保つようにする。これは、掘込み部が空乏層に達してしまうと、N形層22において、アノード電極40とゲート電極41との抵抗値が大きくなり、サイリスタとしての電気的特性が著しく悪化するからである。

【0021】このような掘込み部44を設けることによって、半導体層22のアノード電極領域とゲート電極領域との間の抵抗値が大きくなる。その結果、アノード電極40からの注入電流は、図3(a)に矢印で示すように、ゲート電極側には流れず、注入電流はアノード電極下部での発光に寄与する。したがって、従来の構造に比べて、発光光量が増大する。

【0022】半導体層22の厚さ $T$ が $1\mu\text{m}$ のとき、掘込み部44の深さ $t$ を $0.5\mu\text{m}$ とした場合に、発光光量は従来の構造に比べて約10%増大した。

【0023】以上の第1および第2の実施例は、ともにN形半導体基板上に、NPNPの順序で半導体層を積層したが、P形半導体基板上に、PNPNの順序で半導体層を積層した構造にも、本発明を適用できることはもちろんである。この場合には、最上層のN形半導体層上に設けられる電極はカソード電極、P形半導体基板の裏面に設けられる電極は、アノード電極となる。

【0024】また、以上の実施例では、半導体基板の直上に、半導体基板と同一導電形の半導体層を積層しているが、これは以下の理由による。すなわち、一般に、半導体基板表面に直接PN(あるいはNP)接合を形成すると、その形成した半導体層の結晶性の悪さから、デバイスとしての特性が劣化する傾向がある。つまり、基板表面に結晶層をエピタキシャル成長する場合、基板表面近傍層の結晶性が、結晶層がある一定以上に成長した後の結晶性と比べて、悪くなっているためである。このため、半導体基板と同一の半導体層を一旦形成してから、PN(あるいはNP)接合を形成すると、上述した問題は解決できるからである。したがって、この半導体層を介することが好ましい。

#### 【0025】

【実施例3】本実施例は、本発明の面発光サイリスタを用いた自己走査型発光装置の1つの例である。

【0026】まず、本実施例の自己走査型発光装置の原理を説明するための等価回路図を図4に示す。発光素子として、面発光サイリスタ $T(-2) \sim T(+2)$ を用い、面発光サイリスタ $T(-2) \sim T(+2)$ には、各々ゲート電極 $G_2 \sim G_4$ が設けられている。各々のゲート電極には、負荷抵抗 $R_L$ を介して電源電圧 $V_a$ が印加される。また、各々のゲート電極 $G_2 \sim G_4$ は、相互作用を作るために結合用抵抗 $R_i$ を介して電氣的に接続されている。また、各単体発光サイリスタのアノード電極に、3本の転送クロックライン( $\phi_1$ ,  $\phi_2$ ,  $\phi_3$ )が、それぞれ3素子おきに(繰り返されるように)接続される。

【0027】動作を説明すると、まず転送クロック $\phi$ 、

がハイレベルとなり、面発光サイリスタT (0) がオンしているとする。このとき3端子サイリスタの特性から、ゲート電極G<sub>0</sub>は零ボルト近くまで引き下げられる。電源電圧V<sub>α</sub>を仮に5ボルトとすると、負荷抵抗R<sub>L</sub>、結合用抵抗R<sub>1</sub>のネットワークから各面発光サイリ

$$V_{G0} < V_{G1} = V_{G-1} < V_{G2} = V_{G-2}$$

これらの電圧の差は、負荷抵抗R<sub>L</sub>、結合用抵抗R<sub>1</sub>の値を適当に選択することにより設定することができる。

【0029】3端子サイリスタのアノード側のターンオン電圧V<sub>on</sub>は、ゲート電圧よりPN接合の拡散電位V<sub>diff</sub>だけ高い電圧となることが知られている。

$$【0030】V_{on} = V_G + V_{diff} \quad (2)$$

したがって、アノードにかかる電圧をこのターンオン電圧V<sub>on</sub>より高く設定すれば、その発光サイリスタはオンすることになる。

【0031】さてこの面発光サイリスタT (0) がオンしている状態で、次の転送クロックパルスφ<sub>1</sub>にハイレベル電圧V<sub>H</sub>を印加する。このクロックパルスφ<sub>1</sub>は面発光サイリスタT (+1) とT (-2) に同時に加わるが、ハイレベル電圧V<sub>H</sub>の値を次の範囲に設定すると、面発光サイリスタT (+1) のみをオンさせることができる。

$$【0032】V_{G-2} + V_{diff} > V_H > V_{G-1} + V_{diff} \quad (3)$$

これで面発光サイリスタT (0) , T (+1) が同時にオンしていることになる。そしてクロックパルスφ<sub>3</sub>のハイレベル電圧を切ると、面発光サイリスタT (0) がオフとなりオン状態の転送ができたことになる。

【0033】このように、本実施例では抵抗ネットワークで各面発光サイリスタのゲート電極間を結ぶことにより、面発光サイリスタに転送機能をもたせることが可能となる。

【0034】上に述べたような原理から、転送クロックφ<sub>1</sub> , φ<sub>2</sub> , φ<sub>3</sub>のハイレベル電圧を順番に互いに少しずつ重なるように設定すれば、発光サイリスタのオン状態は順次転送されていく。すなわち、発光点が順次転送され、自己走査型発光装置を実現することができる。

#### 【0035】

【実施例4】本実施例は、本発明者らが特開平2-14584号公報にて開示した自己走査型発光装置であって、本発明の面発光サイリスタを適用できる例の1つである。

【0036】本実施例では、電気的接続の方法としてダイオードを用いた例について述べる。本実施例の自己走査型発光装置の原理を説明するための等価回路図を図5に示す。これは発光しきい電圧、電流が外部から制御できる発光サイリスタとして、本発明による3端子の面発光サイリスタを用いた場合を表している。面発光サイリスタT (-2) ~ T (+2) は、一列に並べられた構成となっている。G<sub>-2</sub> ~ G<sub>2</sub>は、面発光サイリスタT (-

\* スタのゲート電圧が決まる。そして、面発光サイリスタT (0) に近い素子のゲート電圧が最も低下し、以降順にT (0) から離れるにしたがいゲート電圧は上昇していく。これは次のように表せる。

#### 【0028】

##### (1)

2) ~ T (+2) のそれぞれのゲート電極を表す。R<sub>L</sub>はゲート電極の負荷抵抗を表し、D<sub>-2</sub> ~ D<sub>2</sub>は電気的相互作用を行うダイオードを表す。またV<sub>α</sub>は電源電圧を表す。各単体面発光サイリスタのアノード電極に、2本の転送クロックライン(φ<sub>1</sub> , φ<sub>2</sub>)がそれぞれ1素子おきに接続される。

【0037】動作を説明する。まず転送クロックφ<sub>2</sub>がハイレベルとなり、面発光サイリスタT (0) がオンしているとする。このとき3端子サイリスタの特性からゲート電極G<sub>0</sub>は零ボルト近くまで引き下げられる。電源電圧V<sub>α</sub>を仮に5ボルトとすると、抵抗R<sub>L</sub>、ダイオードD<sub>-2</sub> ~ D<sub>2</sub>のネットワークから各発光サイリスタのゲート電圧が決まる。そして発光サイリスタT (0) に近い素子のゲート電圧が最も低下し、以降順にT (0) から離れるにしたがいゲート電圧は上昇していく。

【0038】しかしながら、ダイオード特性の一方方向性、非対称性から、電圧を下げる効果は、T (0) の右方向にしか働かない。すなわちゲート電極G<sub>1</sub>はG<sub>0</sub>に対し、ダイオードの順方向立ち上がり電圧V<sub>diff</sub> (PN接合の拡散電位に等しい) だけ高い電圧に設定され、ゲート電極G<sub>2</sub>はG<sub>1</sub>に対し、さらにダイオードの順方向立ち上がり電圧V<sub>diff</sub> だけ高い電圧に設定される。一方、T (0) の左側のゲート電極G<sub>-1</sub>はダイオードD<sub>-1</sub>が逆バイアスになっているため電流が流れず、したがって電源電圧V<sub>α</sub>と同電位となる。

【0039】次の転送クロックパルスφ<sub>1</sub>は、最近接の発光サイリスタT (1) , T (-1) , そしてT (3) およびT (-3) 等に印加されるが、これらのなかで、最もターンオン電圧の最も低い素子はT (1) であり、T (1) のターンオン電圧は約G<sub>1</sub>のゲート電圧+V<sub>diff</sub> であるが、これはV<sub>diff</sub> の約2倍である。次にターン電圧の低い素子はT (3) であり、V<sub>diff</sub> の約4倍である。T (-1) とT (-3) のオン電圧は、約V<sub>α</sub>+V<sub>diff</sub> となる。

【0040】以上から、転送クロックパルスのハイレベル電圧をV<sub>diff</sub> の約2倍からV<sub>diff</sub> の約4倍の間に設定しておけば、発光サイリスタT (1) のみをオンさせることができ、転送動作を行うことができる。

#### 【0041】

【実施例5】本実施例は、本発明者らが特開平2-263668号公報にて開示した自己走査型発光装置であって、本発明の面発光サイリスタを適用できる例の1つである。

【0042】本実施例の発光装置の原理を説明するため

の等価回路図を図6に示す。

【0043】この自己走査型発光装置は、スイッチ素子 $T(-1) \sim T(2)$ 、書き込み用発光素子 $L(-1) \sim L(2)$ からなる。スイッチ素子部分の構成は、ダイオード接続を用いた例を示している。スイッチ素子のゲート電極 $G_{-1} \sim G_1$ は、書き込み用発光素子のゲートにも接続される。書き込み用発光素子のアノードには、書き込み信号 $S_{in}$ が加えられている。

【0044】以下に、この発光装置の動作を説明する。いま、スイッチ素子 $T(0)$ がオン状態にあるとすると、ゲート電極 $G_0$ の電圧は、 $V_{\alpha}$ （ここでは5ボルトと想定する）より低下し、ほぼ零ボルトとなる。したがって、書き込み信号 $S_{in}$ の電圧が、PN接合の拡散電位（約1ボルト）以上であれば、発光素子 $L(0)$ を発光状態とすることができる。

【0045】これに対し、ゲート電極 $G_{-1}$ は約5ボルトであり、ゲート電極 $G_1$ は約1ボルトとなる。したがって、発光素子 $L(-1)$ の書き込み電圧は約6ボルト、発光素子 $L(1)$ の書き込み電圧は約2ボルトとなる。これから、発光素子 $L(0)$ のみに書き込める書き込み信号 $S_{in}$ の電圧は、約1～2ボルトの範囲となる。発光素子 $L(0)$ がオン、すなわち発光状態に入ると、書き込み信号 $S_{in}$ ラインの電圧は約1ボルトに固定されてしまうので、他の発光素子が選択されてしまう、というエラーは防ぐことができる。

【0046】発光強度は書き込み信号 $S_{in}$ に流す電流量で決められ、任意の強度にて画像書き込みが可能となる。また、発光状態を次の素子に転送するためには、書き込み信号 $S_{in}$ ラインの電圧を一度零ボルトまでおとし、発光している素子をいったんオフにしておく必要がある。

【0047】この自己走査型発光装置において、スイッチ素子に図1で示した従来の面発光サイリスタを、発光素子に本発明の面発光サイリスタを用いることができる。また、スイッチ素子および発光素子の両方に本発明の面発光サイリスタを用いてもよい。なお、スイッチ素子からの発光は不要であるので遮光層を設けて、外部に光が出ないようにする必要がある。

【0048】

【実施例6】本実施例は、複数の発光素子を同時に発光できるようにした自己走査型発光装置である。この発光装置の等価回路図を、図7に示す。

【0049】図6の回路と異なるのは、発光素子を3つずつのブロックとし、1ブロック内の発光素子は1つのスイッチ素子によって制御し、かつ1ブロック内の発光素子にそれぞれ別々の書き込み信号ライン $S_{in1}$ 、 $S_{in2}$ 、 $S_{in3}$ を接続して、発光素子の発光を制御した点である。図中、発光素子 $L_1(-1)$ 、 $L_2(-1)$ 、 $L_3(-1)$ 、発光素子 $L_1(0)$ 、 $L_2(0)$ 、 $L_3(0)$ 、発光素子 $L_1(-1)$ 、 $L_2(-1)$ 、 $L_3$

(-1)等が、ブロック化された発光素子を示している。

【0050】動作は図6の回路と同じで、1素子ずつ $S_{in}$ によって発光が書き込まれていたものが、同時に複数書き込まれ発光し、それがブロックごとに転送するようになったものである。

【0051】いま、LEDプリンタ等の一般的に知られる光プリンタ用の光源として、この発光装置を用いることを考えると、A4の短辺（約21cm）相当のプリントを16ドット/mmの解像度で印字するためには約3400ビットの発光素子が必要になる。

【0052】実施例5にて説明してきた発光装置では、発光しているポイントは常に一つで、上記の場合ではこの発光の強度を変化させて画像を書き込むことになる。これを用いて光プリンタを形成すると、通常使用されている光プリンタ用LEDアレイ（これは画像を書き込むポイントに位置するLEDが、同時に発光するよう駆動ICによって制御されている）に比べ、画像書き込み時に3400倍の輝度が必要となり、発光効率が同じならば3400倍の電流を流す必要がある。ただし発光時間は、逆に通常のLEDアレイに比べ1/3400となる。

【0053】しかし発光素子は、一般的に電流が増えると加速度的に寿命が短くなる傾向があり、いくらデューティが1/3400とはいえ従来のLEDプリンタに比べ、寿命が短くなってしまうという問題点を持っていた。

【0054】しかしながら本実施例によると、ビット総数が同じ条件で比較すると、この例では1ブロックに3素子が入っているため、実施例8の発光装置に比べて1素子の発光時間は3倍となる。したがって、オン状態の発光素子に流す電流は1/3でよく、実施例8に比べ長寿命化することが可能である。

【0055】本実施例では、1ブロックに3素子が含まれる場合を例示したが、この素子数が大きいほうが書き込み電流が小さくて済み、さらに長寿命化をはかることができる。

【0056】この自己走査型発光装置においても、スイッチ素子および/または発光素子に、本発明の面発光サイリスタを用いることができる。

【0057】

【実施例7】本発明の自己走査型発光装置の応用例として光プリンタへの応用について述べる。従来、LEDアレイの各画素に駆動用ICを接続したモジュールを使って光プリンタへ応用した例が知られている。光プリンタの原理図を図8に示す。まず円筒形の感光ドラム61の表面にアモルファスSi等の光導伝性を持つ材料（感光体）が作られている。このドラムはプリントの速度で回転している。まず帯電器67で感光体表面を一様に帯電させる。そして発光素子アレイ光プリントヘッド68で

印字するドットイメージの光を感光体上に照射し、光の当たったところの帯電を中和する。次に現像器で感光体上の帯電状態に従って、トナーを感光体上に付ける。そして転写器62でカセット611中から送られてきた用紙69上にトナーを転写する。そしてその用紙は定着器63にて熱等を加えられ定着される。一方転写の終了したドラムは消去ランプ65で帯電が全面に渡って中和され、清掃器66で残ったトナーが除去される。

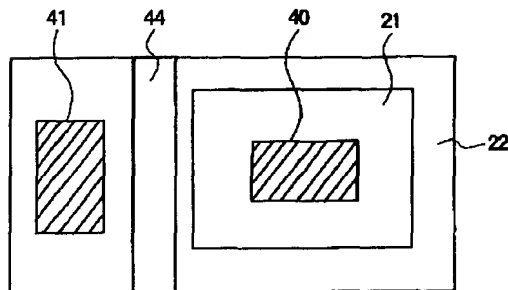
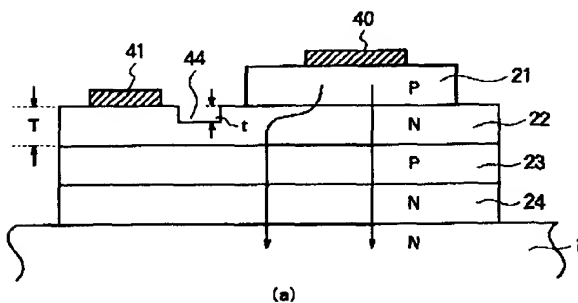
【0058】さて本発明による自己走査型発光装置を所定の実装基板上に直線状に一行に配列した発光素子アレイモジュールを光プリントヘッドに適用する。光プリントヘッドの構造を図9に示す。この光プリントヘッドは、発光素子アレイ612とロッドレンズアレイ613とで構成され、レンズの焦点が感光ドラム61上に結ぶようになっている。この発光素子アレイモジュールからの光で感光ドラムに画像情報を書き込むことができる。

【0059】本実施例によれば、この発光素子アレイモジュールのコストを従来よりはるかに低減できるため、低価格のプリントヘッド、低価格の光プリンタを提供することができる。

【0060】

【発明の効果】本発明によれば、外部発光効率の良い面発光サイリスタを提供することが可能であり、このような面発光サイリスタを用いた自己走査型発光装置は、外部発光効率が良いうえに、駆動回路を必要としないの \*

【図3】



(b)

\*で、光プリンタ用の低価格の光プリントヘッドを実現することができる。

【図面の簡単な説明】

【図1】メサ型のPNPN構造の従来の面発光サイリスタの断面図および平面図である。

【図2】本発明の面発光ダイオードの第1の実施例の側面図および平面図である。

【図3】本発明の面発光ダイオードの第2の実施例の側面図および平面図である。

10 【図4】自己走査型発光装置の等価回路図である。

【図5】他の自己走査型発光装置の等価回路図である。

【図6】他の自己走査型発光装置の等価回路図である。

【図7】他の自己走査型発光装置の等価回路図である。

【図8】光プリンタ装置を示す図である。

【図9】発光素子モジュールとロッドレンズアレイとの組合せを示す図である。

【符号の説明】

1 N形基板

22, 24 N形半導体層

20 21, 23 P形半導体層

40 アノード電極

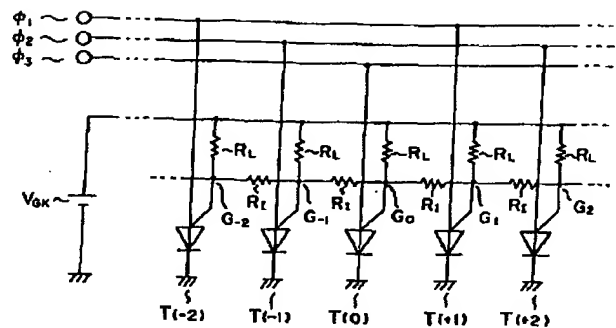
41 ゲート電極

42 くびれ部

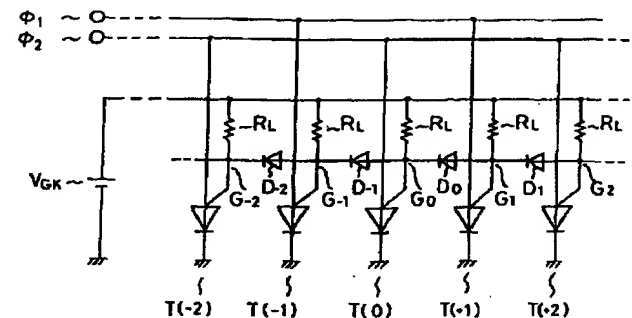
44 掘込み部

140 A1配線

【図4】

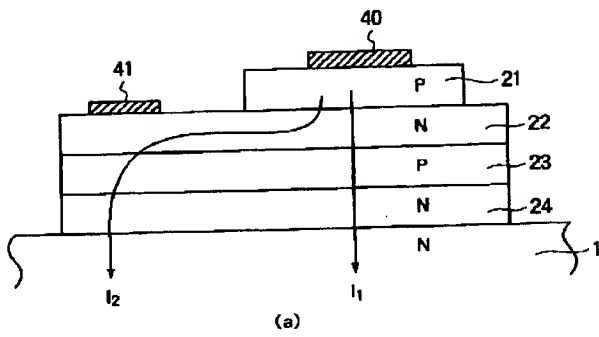


【図5】

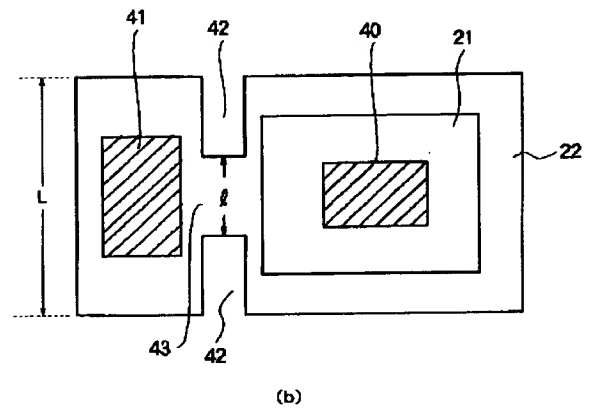
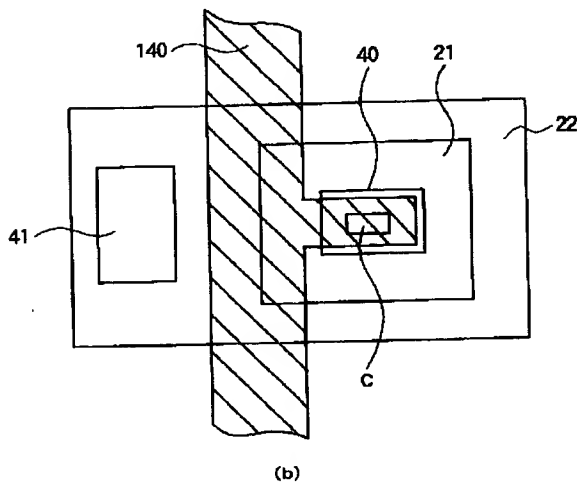
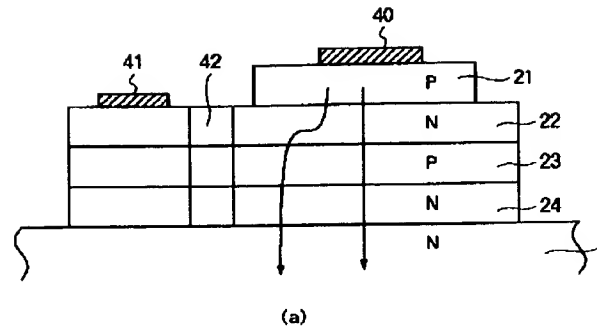




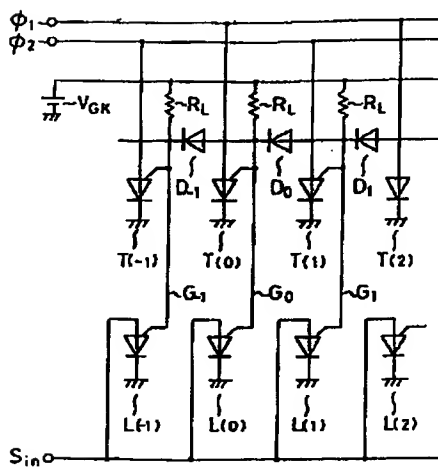
【図 1】



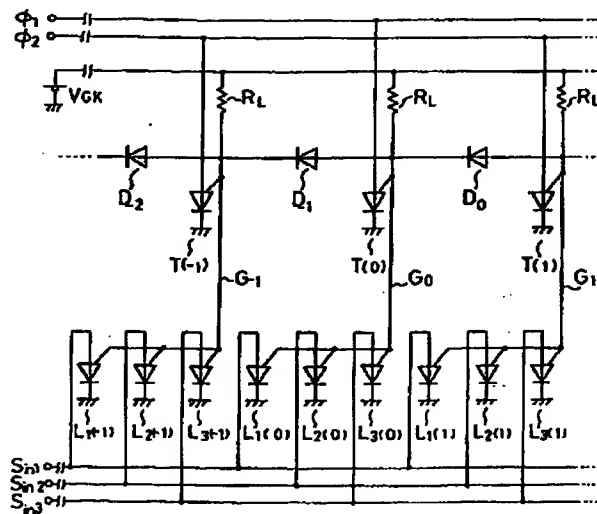
【図 2】



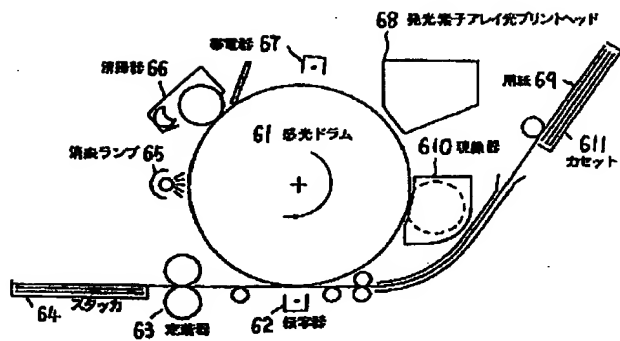
【図 6】



【図 7】



【図8】



【図9】

